

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Akira MIURA, et al.**

Serial Number: **Not Yet Assigned**

Filed: **January 30, 2004**

Customer No.: **38834**

For: **INTEGRATED CIRCUIT**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

January 30, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-081903, filed on March 25, 2003**


In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

Atty. Docket No.: 042054  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
KH/II

  
Ken-Ichi Hattori  
Reg. No. 32,861

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 5 日  
Date of Application:

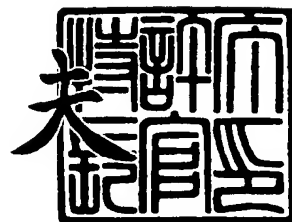
出 願 番 号                      特 願 2 0 0 3 - 0 8 1 9 0 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 8 1 9 0 3 ]

出      願      人                      横 河 電 機 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年    9 月 1 9 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 7 7 3 1 0

【書類名】 特許願

【整理番号】 02N0132

【あて先】 特許庁長官殿

【国際特許分類】 H01L 51/00

【発明者】

    【住所又は居所】 東京都武蔵野市中町 2 丁目 9 番 3 2 号 横河電機株式会  
社内

    【氏名】 三浦 明

【発明者】

    【住所又は居所】 東京都武蔵野市中町 2 丁目 9 番 3 2 号 横河電機株式会  
社内

    【氏名】 小林 信治

【発明者】

    【住所又は居所】 東京都武蔵野市中町 2 丁目 9 番 3 2 号 横河電機株式会  
社内

    【氏名】 原 仁

【発明者】

    【住所又は居所】 東京都武蔵野市中町 2 丁目 9 番 3 2 号 横河電機株式会  
社内

    【氏名】 八木原 剛

【発明者】

    【住所又は居所】 東京都武蔵野市中町 2 丁目 9 番 3 2 号 横河電機株式会  
社内

    【氏名】 岡 貞治

【特許出願人】

    【識別番号】 000006507

    【氏名又は名称】 横河電機株式会社

    【代表者】 内田 勲

**【手数料の表示】****【予納台帳番号】** 005326**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 集積回路

【特許請求の範囲】

【請求項 1】

半導体等の基板上に微細真空管素子及び他の電子素子を集積化して形成し、前記微細真空管と電子素子間で信号の授受を行うように構成したことを特徴とする集積回路。

【請求項 2】

前記真空管素子を前記他の電子素子と共に集積化するに際し、真空を走行する弾道電子（無散乱電子）を利用し、量子効果を室温環境で実現することを特徴とする請求項1記載の集積回路。

【請求項 3】

マッハゼンダー干渉系等の干渉系を構成し、A/D変換器を構成したことを特徴とする請求項 1 または 2 記載の集積回路。

【請求項 4】

マッハゼンダー干渉系等の干渉系を構成し、前記マッハゼンダー干渉系の重み付けを画像処理や信号コード変換用に構成した高度機能集積型としたことを特徴とする請求項 1 または 2 記載の集積回路。

【請求項 5】

前記真空素子の電子放射の超高速光応答特性を利用して超高速光通信用受光集積回路を構成したことを特徴とする請求項 1 または 2 に記載の集積回路。

【請求項 6】

弾道走行中の電子の量子効果を利用して磁気・電界センサ等のセンサを構成したことを特徴とする請求項 1 または 2 に記載の集積回路。

【請求項 7】

前記真空素子のカソードを熱陰極としたことを特徴とする請求項 1 ～ 7 のいずれかに記載の集積回路。

【請求項 8】

前記熱陰極部に LaB6（六ホウ化ランタン）等を付着したことを特徴とする

請求項 7 に記載の集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、集積回路に関し、高速化・高機能化および素子数の低減を図った集積回路に関する。

【0 0 0 2】

【従来の技術】

Si 半導体集積化技術は、 $2\mu\text{m} \rightarrow 1\mu\text{m} \rightarrow 0.5\mu\text{m} \rightarrow 0.25\mu\text{m} \rightarrow 0.13\mu\text{m} \rightarrow 0.09\mu\text{m}$  と順調に集積度と速度が向上して来ている。更に一部の半導体メーカでは  $0.065\mu\text{m}$  が計画されている。又、露光技術も gline~iline、位相シフト露光、更にはエキシマー光源と進み、現在はエキシマー光源プラス位相シフト露光まで行なわれている。

【0 0 0 3】

また、X 線の縮小投影技術の課題であった縮小光学系を構成できる凹面鏡技術も完成しつつあり、 $0.01\mu\text{m}$  級の X 線ステッパ・X 線スキャン露光器の実現性が見えてきて半導体の加工技術は  $10\text{nm}$  レベルに達しつつある。

【0 0 0 4】

半導体回路素子は、K ファクタ（スケーリングファクタ）則にしたがって微細化してきたが、微細化を牽引してきた技術は、物理原理（半導体動作原理等）の課題の克服というよりも工学的な課題・側面（加工精度・加工法・各種汚染欠陥の除去技術の確立・化学反応の制御等）の克服で、物理（スケーリング則・半導体バンド理論・トランジスタ動作物理等）概念そのものの変更を必要としなかった。

【0 0 0 5】

図 1 4 は 1 チップ上に形成された高速 A/D 変換器（フラッシュ式）の一例を示すブロック構成図である。図において、ラダー抵抗（直列抵抗網）3 0 に入力された電圧はコンパレータ 3 1 を介してエンコーダ 3 2 に入力し、デジタル信号に変換されて出力する。3 3 はコンパレータ 3 1 の基準電源である。

このような高速 A/D 変換器においては N ビットの A/D 変換に対して  $2^{n-1}$  個のコンパレータと抵抗を必要とし素子数が極めて大きくなる。

#### 【0006】

##### 【発明が解決しようとする課題】

しかし、X 線露光技術・電子線露光技術の進展で、 $0.065\mu\text{m}$  以下の超微細化加工が可能になってくると、物理現象であるトンネル効果等の影響で、従来絶縁体としてきた MOS 酸化膜リーク電流の増大・ホットエレクトロンの注入・アバランシェ降伏等、今までのスケーリングファクタが通用できなくなり、LSI とした時に動作が不安定となるという課題があった。

#### 【0007】

究極の素子として 1 電子トランジスタ等の提案もあるが、極低温を必要としたり、1 電子量子効果であるため結果が、量子力学的確立法則の下におかれて動作が不安定となる。更に、量子効果を積極的に利用しようと SiGe-SiC 等の化合物を持ち込み共鳴トンネリング等の量子効果を導入する研究もあるが、大規模 LSI の機能を一挙に集約するためには、量子干渉効果を導入し高度の論理機能を実現する必要がある。しかし、固体中では、各種散乱効果（不純物散乱、フォノン散乱等）の影響で、室温で量子干渉を起こすことは、極めて困難という課題があった。

微細真空管を基板上に形成する先行技術としては以下のようなものがある。

#### 【0008】

##### 【特許文献 1】

特開平 7-193052 号公報

#### 【0009】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明に係る集積回路は、請求項 1 においては、半導体基板上に微細真空管素子及び他の電子素子を集積化して形成し、前記微細真空管と電子素子間で信号の授受を行うように構成したことを特徴とする。

#### 【0010】

請求項 2 においては、請求項 1 記載の集積回路において、



前記真空管素子を前記他の電子素子と共に集積化するに際し、真空を走行する弾道電子（無散乱電子）を利用し、量子効果を室温環境で実現することを特徴とする。

【0011】

請求項3においては、請求項1または2記載の集積回路において、マッハゼンダー干渉系等の干渉系を構成し、AD変換器を構成したことを特徴とする。

【0012】

請求項4においては、請求項1または2記載の集積回路において、マッハゼンダー干渉系等の干渉系を構成し、前記マッハゼンダー干渉系の重み付けを画像処理や信号コード変換用に構成した高度機能集積型としたことを特徴とする。

【0013】

請求項5においては、請求項1または2記載の集積回路において、前記真空素子の電子放射の超高速光応答特性を利用して超高速光通信用受光集積回路を構成したことを特徴とする。

【0014】

請求項6においては、請求項1または2記載の集積回路において、弾道走行中の電子の量子効果を利用して磁気・電界センサ等のセンサを構成したことを特徴とする。

【0015】

請求項7においては、請求項1～6のいずれかに記載の集積回路において、前記真空素子のカソードを熱陰極としたことを特徴とする。

【0016】

請求項8においては、請求項7に記載の集積回路において、前記熱陰極部にLaB6（六ホウ化ランタン）を付着したことを特徴とする。

【0017】

【発明の実施の形態】

次に、本発明に係る集積回路の実施形態について、図面を参照して、以下、説明

する。

#### 【0018】

量子効果応用素子は、数素子から数十、数百素子で、数万から数百万半導体トランジスタで実現可能な論理回路を実現できることは、超伝導ADや超伝導ALUで既に実証されている。

本発明は、通常半導体集積回路に無散乱の状態で量子効果を引き出すことが可能な微細真空素子を一緒に集積化するものである。

#### 【0019】

図1は、本発明の実施形態の一例を示す平面図である。図1において、1はSiやInPなどの基板であり、この基板の電子素子形成領域2には例えばCMOSトランジスタやBipolarトランジスタなどの電子が形成され、微小真空管形成領域には公知の技術により微細真空管が形成されている。そして、これらの素子が有機的に接続されて集積回路が構成されている。

#### 【0020】

図2は基板（シリコン）1上に微小真空管3、電子素子2、回路網4の領域を形成し、電極パッド5および配線6を施して信号の授受を行なう場合の配置を示すものである。

#### 【0021】

図3は1800k程度の高温Wフィラメントから出た熱電子を、1m程度の弾道距離で単結晶表面を利用し、回折干渉させて蛍光スクリーンに投影した干渉パターンである。重要なのは、1800kの高温フィラメントからの熱電子であっても真空中で無散乱であれば、1m以上のコーヒーレンス長（可干渉距離）を持っていることである。このような真空管は実用温度で、真空でありさえすれば（実用上の無散乱であれば）量子効果を引き起こすことができ、量子効果を利用することができる。

#### 【0022】

図4は、微細真空管を用いたAB効果素子によりA/D変換器を構成した本発明の実施形態の一例を示す構成図である。図において、7は真空中に配置されたカソード、8はアノードである。これらカソード7とアノード8の間にはカソード

7から出射する電子の流れを2分する分流手段（スリット）9が配置されている。10は磁界発生手段であり、分流手段9とアノード8との間に配置されている。この磁界発生手段10は入力電流によりその磁界の強さが1:2:4:8の比になるように形成されている。

#### 【0023】

図4中のアノード8の出力（a）～（d）は磁界発生手段7に入力電流をあたえた場合のそれぞれの出力電流の変化を示すもので、各真空素子（1）～（4）の波形は横軸にコイルに流れる電流をとると磁場の強さの逆数に比例した周期1/8, 1/4, 1/2, 1で変動する。

#### 【0024】

図5はカソード7とアノード8を一对設け、図4に示すコイル10の代わりに2本の信号線a, bを配置してマッハゼンダー系を構成したもので、この信号線に流す電流を変化させることにより排他的論理和の否定（Exclusive nor）を構成したものである。

即ち、磁気光学効果によってアノードでの2つの経路の波の位相差が $\Pi$ （パイ）となるような磁界（B）を発生させるための電流を流す。信号線a, bともに当該電流を流した場合は出力は1となり、一方に流し、他方に流さない場合は出力は0、信号線a, bともに電流を流さない場合は出力は1となる。

このような論理回路を組み合わせることにより、たとえばMPEG→AVIエンコーダーのような高度機能集積型の画像処理や信号コード変換装置が可能となる。

#### 【0025】

一般にたとえばMPEG→AVIエンコーダーのような高度機能集積型の画像処理や信号コード変換装置を作製する場合、このような論理回路を500程度必要とする。従来のトランジスタを用いた論理回路では1論理回路あたり40～50のトランジスタを必要とし、総計20,000～25,000個のトランジスタを必要とするが、上述のような論理回路を用いれば1論理1真空素子ですみ、500程度の真空素子で機能させることができる（集積回路のイメージとしては図2に示すようなものとなる）。

#### 【0026】

図6はカソード7の表面に光電効果を生じる部材（仕事関数の低い、例えばセシウムの酸化物）26をコーティングしておき、微細真空管のシェルに石英窓25を形成しこの窓を通して光を照射するようにしたものである。

このような構成によればフォトダイオードを用いずに高速な光電変換が可能となる。

#### 【0027】

図7(a)はスリット9の後段にOPアンプ13を接続し電子の流れ( $e^-$ )に磁界を印加したものである。このような構成によればOPアンプ13の出力は(b)に示すようなものとなる。

この信号を図(c)に示すように1/4波長程度で磁界(B)の大きさを対応させればマッハゼンダー系の磁界センサとして利用することができる。

#### 【0028】

図8はカソードの後段にレンズ15および2枚の電極14を設け、各々の電極からの電気信号をOPアンプ13に入力したものである。この場合2枚の電極14をスリットとし、レンズ15で絞りカソードからの電子の流れをスリット幅程度とする。この場合もレンズ15と電極の途中に磁界が存在すると、その磁界の強さに応じて電子の流れ方向が曲げられ、電極の一方に多くの電流が流れる。その結果OPアンプ13の出力値が変化するので磁界(B)を検出することができる。

#### 【0029】

図9は電極を4枚並べて対角に配置したもので、その中心Pに電子の流れを集中させるようにしたものである。

このような構成によれば、2枚の電極間の電流差をそれぞれ検出することによりXY平面上の磁界(B)の向きについても検出することができる。

#### 【0030】

図10は本発明で使用する微細真空素子の一実施例を示す平面図(a)及び(a)図のA-A断面図(b)である。図10(a), (b)において、1はSiやInPなどの基板であり、この基板1上には例えばSiO<sub>2</sub>からなる幅2×2μm、高さ1μm程度の凸部16が形成されている。17は例えば幅3μm、長

さ  $5\mu\text{m}$ 、厚さ  $0.2\mu\text{m}$  程度の先の尖った板状の絶縁部材であり、この絶縁部材 17 の突端部に  $0.1\mu\text{m}$  程度の高さに形成されている。19 は前記カソード 7 の一端に形成された導電部材である。

#### 【0031】

上記の構成によれば、カソード 7 の部分が凸部 16 からはみだした庇状の部分に形成されているので、対地容量が小さくなり、また、発熱体（カソード）7 が少面積なので発熱はその限られた部分に集中する。そしてこの発熱部 7 は基板 1 に接触していないので基板 1 に吸収されることがなく発熱量が増大する。その結果電流駆動能力を高めることができる。

#### 【0032】

なお、一般に導電部材 19 は A1 薄膜で形成するが A1 薄膜は熱抵抗が小さいのでカソード 7 の発熱を吸収する可能性がある。

図 11 はその熱吸収を少なくしたカソードの構成を示す平面図で、この例においてはカソード 7 に接する所定の範囲に熱抵抗の大きいプラチナ (Pt) 薄膜 20 を形成し、その Pt 20 薄膜の一端に接して A1 薄膜を形成している。この様に構成することによりカソード（発熱体）7 の導電部材 19 側への熱放散を防止することができる。

#### 【0033】

図 12 (a) ~ (c) は上記熱電子放出素子の一実施例を示す概略製作工程の断面図である。工程に従って説明する。

工程 (a) において、Si 基板 1 の所定の位置に不純物である B (ボロン) 21 を高濃度（例えば  $1 \times 10^{20}$  程度）に注入（または拡散）する。

工程 (b) において、基板 1 を KOH などの液に浸しウェットエッチングを行う。これにより不純物層 21 は残り、Si 基板 1 の表面と不純物層 21 の下部がアンダエッチングされて、凸部 16 が形成されるとともにその凸部 16 の上に凸部より大面積の高濃度層 21 が形成される。

#### 【0034】

次に工程 (c) において、基板 1 全面を熱酸化することにより高濃度層 21 を含む基板 1 上に絶縁層としての  $\text{SiO}_2$  膜 23 を形成する。

この $\text{SiO}_2$ 層 23の上に図10, 11に示すカソード（タングステン, Mo, LaB6）18を形成するとともに導電部材19を形成する。

#### 【0035】

図13（a）～（c）は上記熱電子放出素子の他の実施例を示す概略製作工程の断面図である。工程に従って説明する。

工程（a）においてSi基板1の全面に $1\mu\text{m}$ 程度の絶縁部材としての熱酸化膜（ $\text{SiO}_2$ ）23を形成し、所望の形状にパターンニングを行う。

工程（b）において、基板1をKOHなどの液に浸しウェットエッチングを行う。これにより熱酸化膜23の下部がアンダエッチングされて、凸部16が形成されるとともにその凸部16の上に凸部より大面積の絶縁部材23が形成される。

#### 【0036】

次に工程（c）において、絶縁部材23の上に図10, 11に示すカソード（タングステン）18を形成するとともに導電部材19を形成する。

#### 【0037】

本発明の以上の説明は、説明および例示を目的として特定の好適な実施例を示したに過ぎない。したがって本発明はその本質から逸脱せずに多くの変更、変形をなし得ることは当業者に明らかである。例えば本実施例では電子素子としてCMOSトランジスタやBipolarトランジスタなどを示したが、レーザやフォトダイオードなどの光素子等を混載してもよい。

特許請求の範囲の欄の記載により定義される本発明の範囲は、その範囲内の変更、変形を包含するものとする。

#### 【0038】

##### 【発明の効果】

以上実施例とともに具体的に説明した様に本発明によれば、半導体基板上に微細真空管素子及び他の電子素子を集積化して形成し、前記微細真空管と電子素子間で信号の授受を行なうように構成したので、高速化・高機能化および素子数低減を図った集積回路を実現することができる。

また、マッハゼンダー干渉系を構成するとともに磁界発生手段を設け、磁界発生手段のそれぞれに発生する磁界の強さを所定の倍率に制御することにより、超

高速A/D変換器を実現することができる。

【0039】

また、マッハゼンダー干渉系を構成するとともに2本の信号線を設け、この信号線に流す電流をオンオフ制御することにより、排他的論理和のExclusive norを構成することができ、このような構成の装置を組み合わせることで、高度機能集積型の画像処理や信号コード変換装置が可能となる。

【0040】

また、カソードの表面に光電効果を生じる部材をコーティングしておき、微細真空管のシェルに石英窓を形成しこの窓から光を照射すればフォトダイオードを用いずに高速な光電変換が可能となる。

【0041】

また、マッハゼンダー干渉系を構成するとともにカソードからの電子をOPアンプに入力し、磁界中に配置することにより磁場の強さを検出することができる。

【0042】

また、マッハゼンダー干渉系を構成するとともにカソードからの電子をレンズで絞って2枚、または4枚の電極の間を通しOPアンプで出力差を検出することにより磁場の方向や強さを検出することができる。

【0043】

また、カソードを熱陰極にすることにより電流駆動能力を高め、熱陰極部に熱電子放射効率の極めて高いLaB6（六ホウ化ランタン）等を付着したので更に電流駆動能力を高めることができる。

【0044】

【図面の簡単な説明】

【図1】

本発明に係る集積回路の構成を示す平面図である。

【図2】

本発明に係る集積回路の他の構成を示す平面図である。

【図3】

単結晶表面を利用し、回折干渉させて蛍光スクリーンに投影した干渉パターンである。

【図 4】

微細真空管を用いてマッハゼンダー干渉系を構成し、A/D変換器を構成した本発明に係る集積回路の実施形態の一例を示す構成図である。

【図 5】

マッハゼンダー系を構成し、排他的論理和の否定を構成した構成図である。

【図 6】

微細真空管のシェルに石英窓 25 を形成して光を照射するようにした構成図である。

【図 7】

マッハゼンダー系を利用した磁界センサの構成を示す図である。

【図 8】

マッハゼンダー系を利用した他の磁界センサの構成を示す図である。

【図 9】

マッハゼンダー系を利用した他の磁界センサの構成を示す図である。

【図 10】

本発明で使用する微細真空素子の一実施例を示す平面図 (a) 及び (a) 図の A-A 断面図 (b) である。

【図 11】

熱吸収を少なくしたカソードの構成を示す平面図である。

【図 12】

微小真空素子の概略製作工程の断面図である。

【図 13】

微小真空素子の他の概略製作工程の断面図である。

【図 14】

高速 A/D 変換器の従来例を示すブロック構成図である。

【符号の説明】

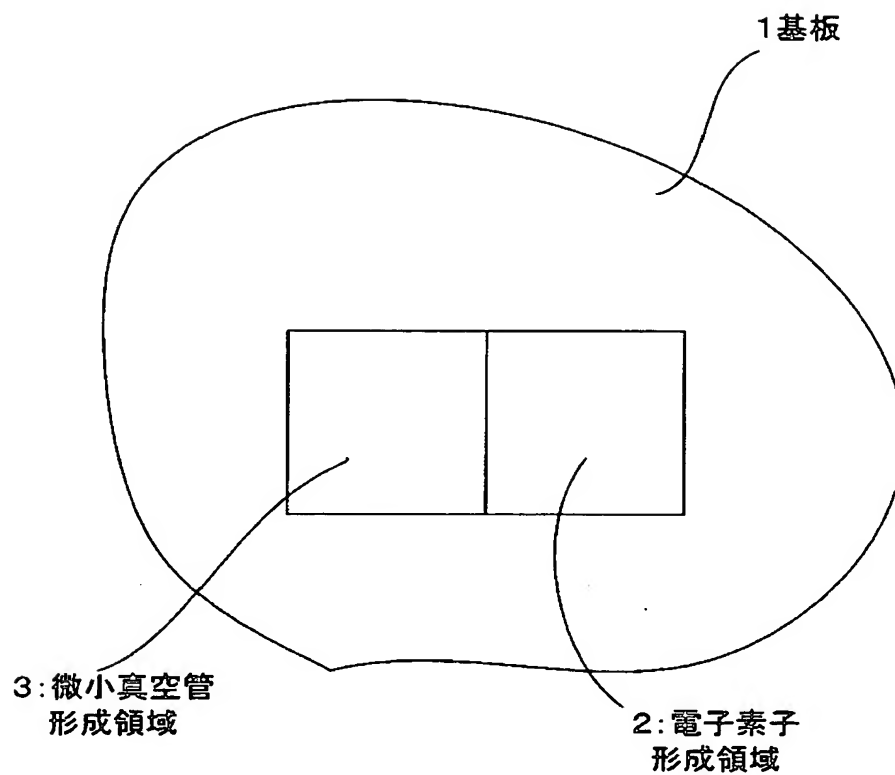
1, 10      基板



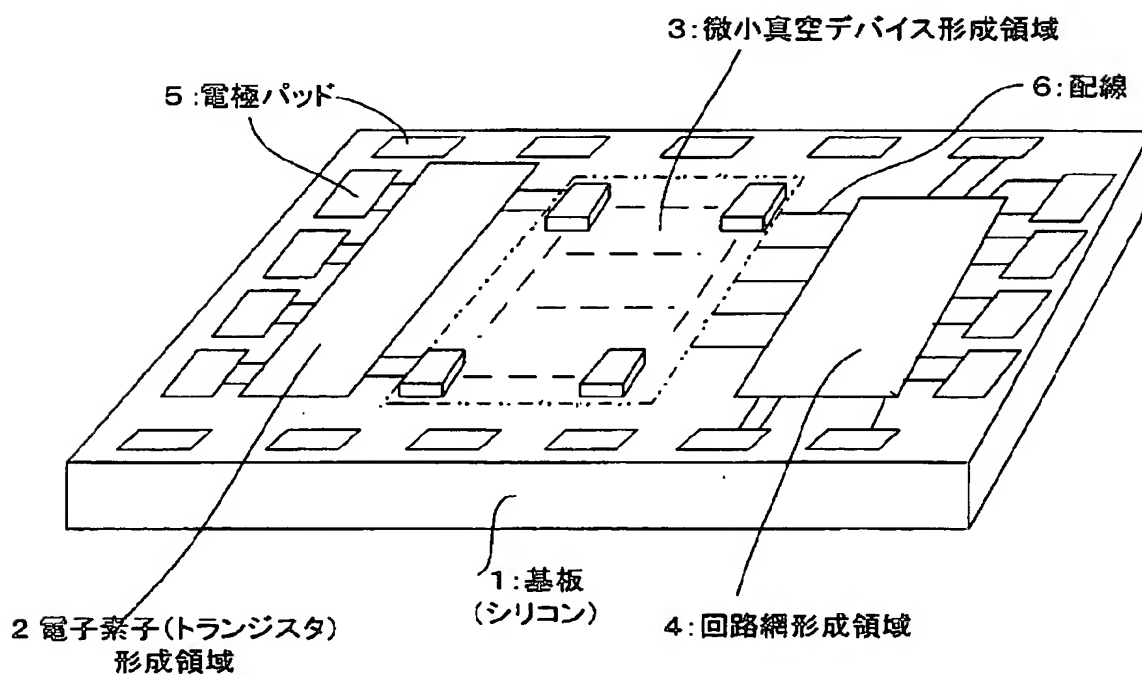
- 2 電子素子形成領域
- 3 微小真空管
- 4 回路網形成領域
- 5 電極バッド
- 6 配線
- 7 カソード（タンゲステン，六ホウ化ランタン，Mo）アノード
- 8 アノード
- 9 分流手段（スリット）
- 1 0 磁界発生手段（コイル）
- 1 1 エンコーダ
- 1 3 O P アンプ
- 1 4 電極
- 1 5 レンズ
- 1 6 凸部
- 1 7 絶縁部材
- 1 9 導電部材
- 2 0 プラチナ
- 2 1 ボロン
- 2 2, 2 3 酸化膜
- 2 5 石英窓
- 2 6 光電変換素子
- 3 0 ラダー抵抗
- 3 1 コンパレータ
- 3 2 エンコーダ
- 3 3 基準電源

【書類名】 図面

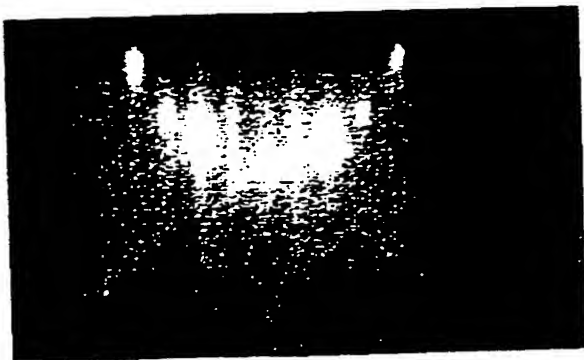
【図 1】



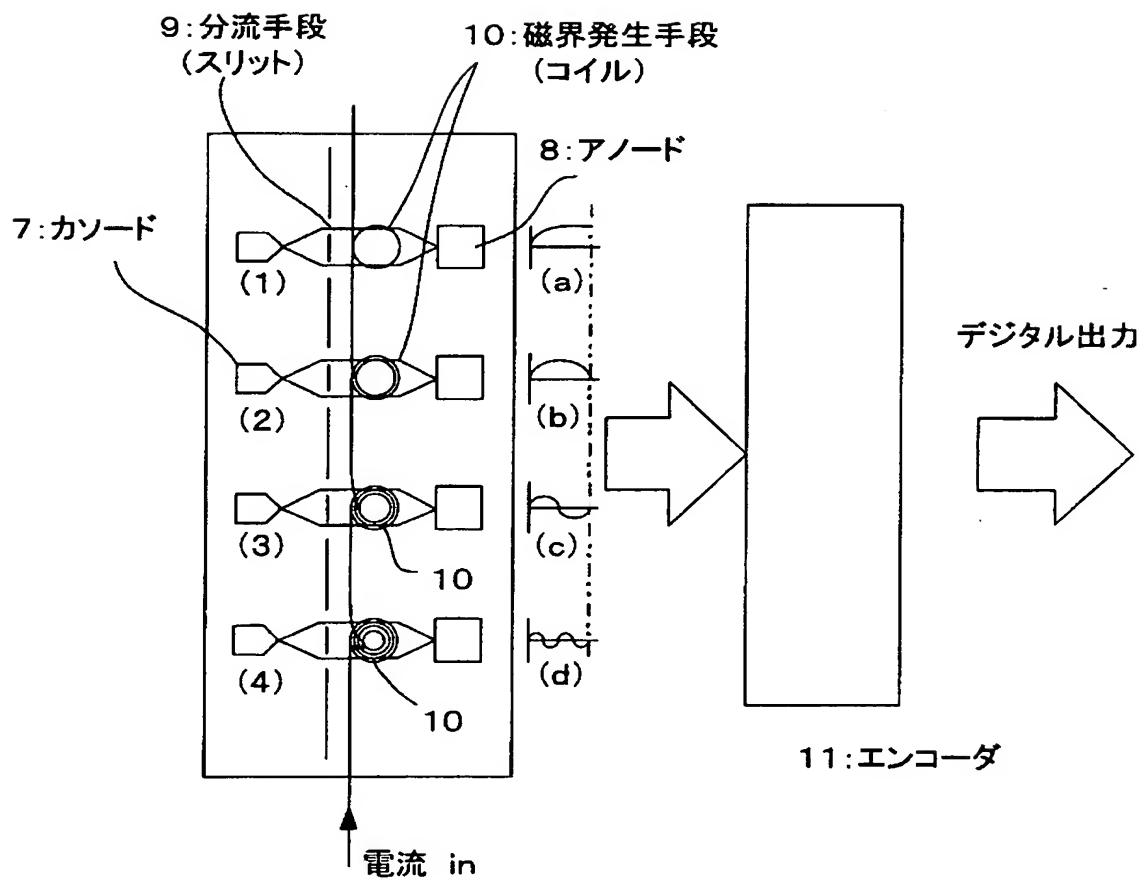
【図 2】



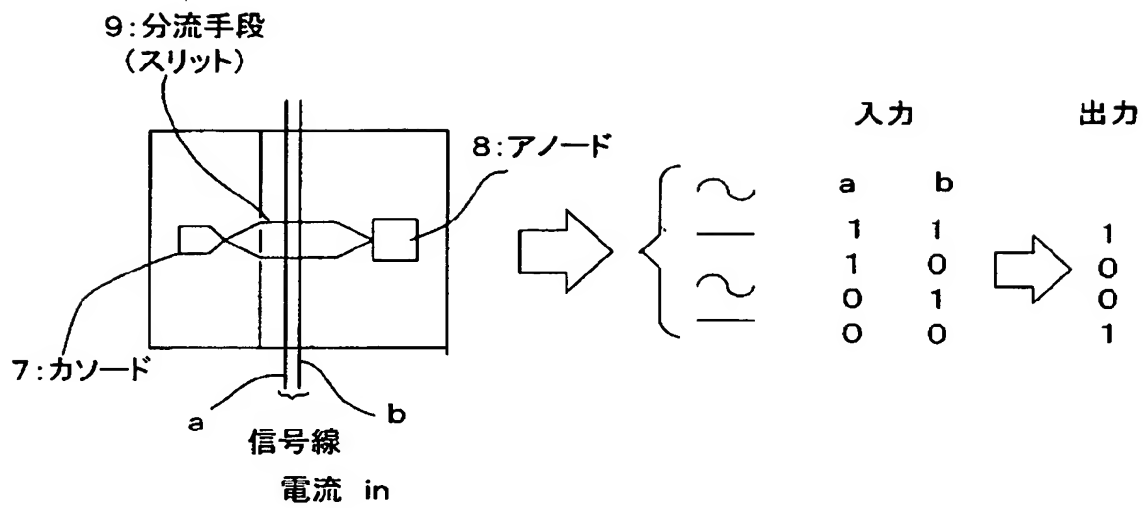
【図 3】



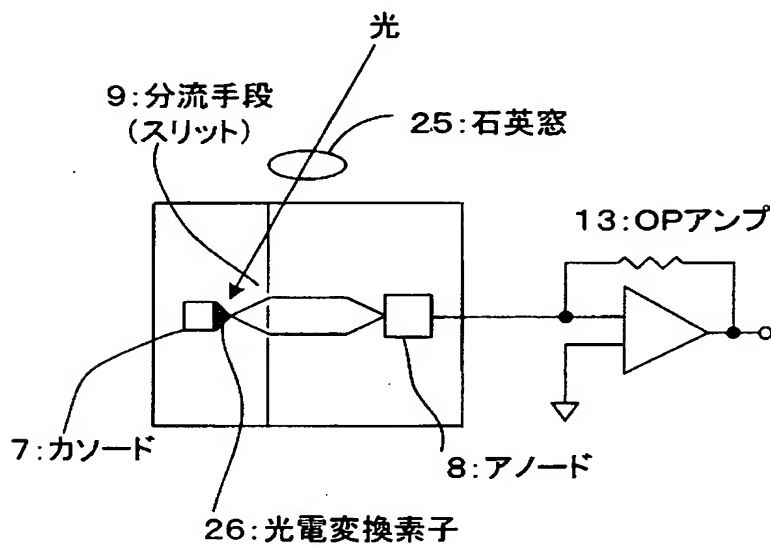
【図 4】



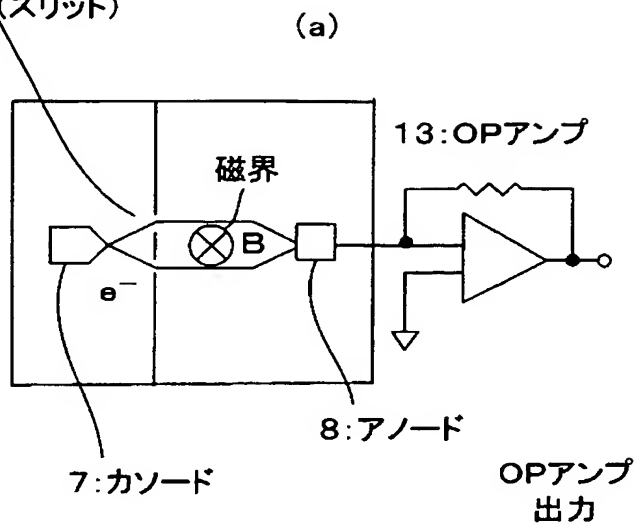
【図 5】



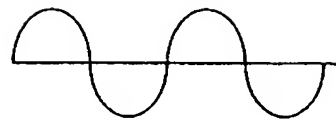
【図 6】



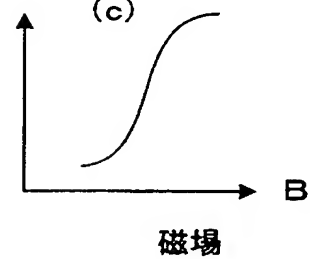
【図7】

9:分流手段  
(スリット)

(b)

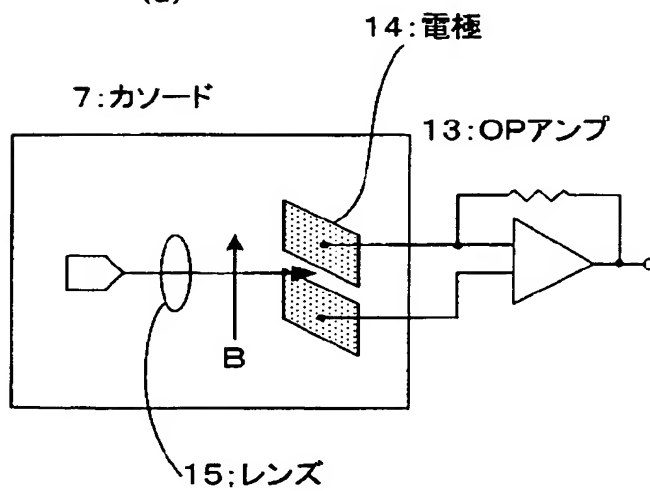


(c)



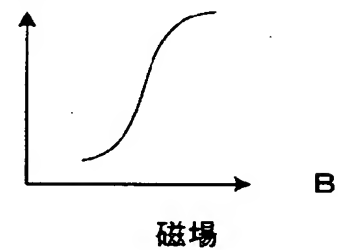
【図8】

(a)

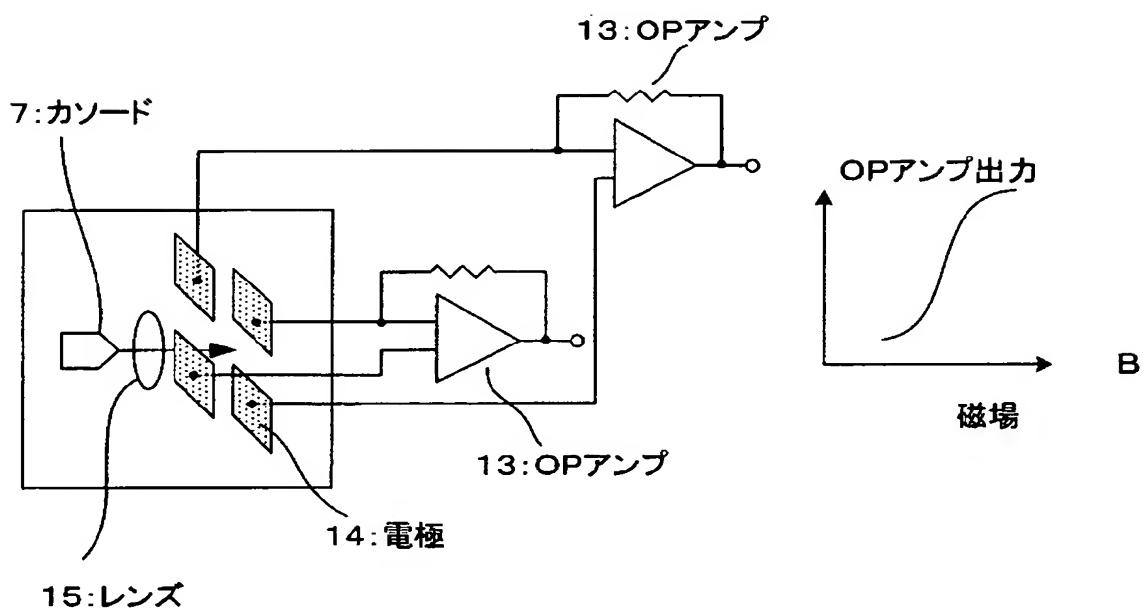


(b)

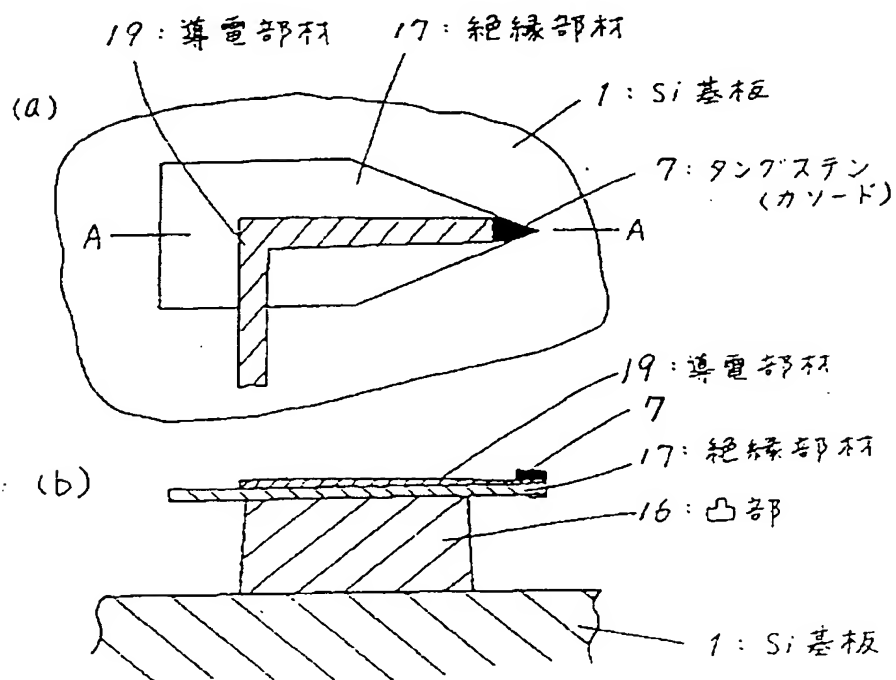
OPアンプ出力



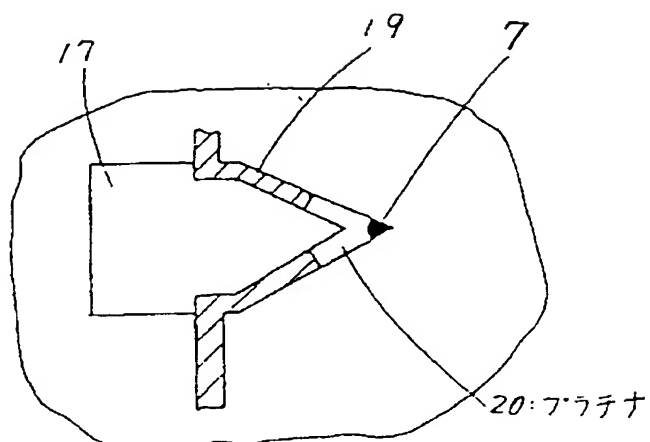
【図9】



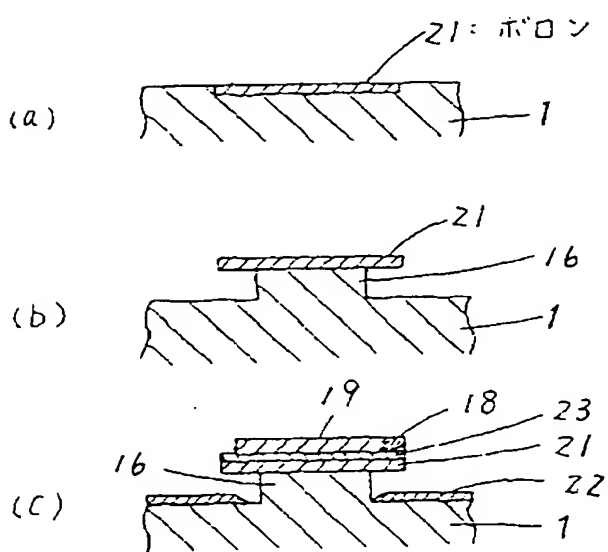
【図10】



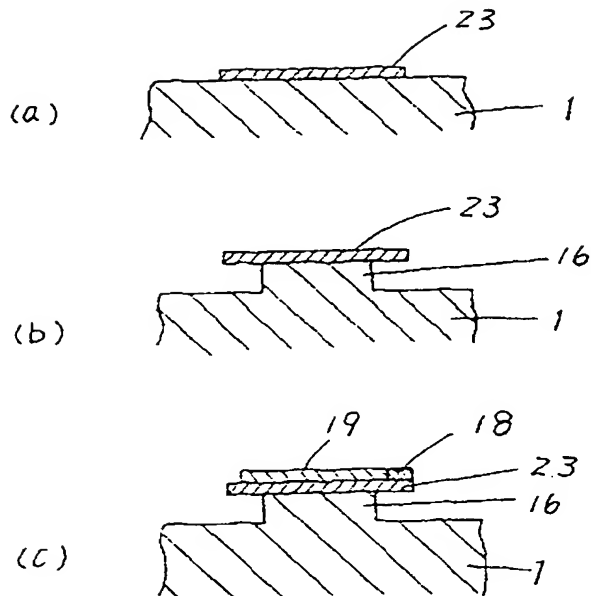
【図 11】



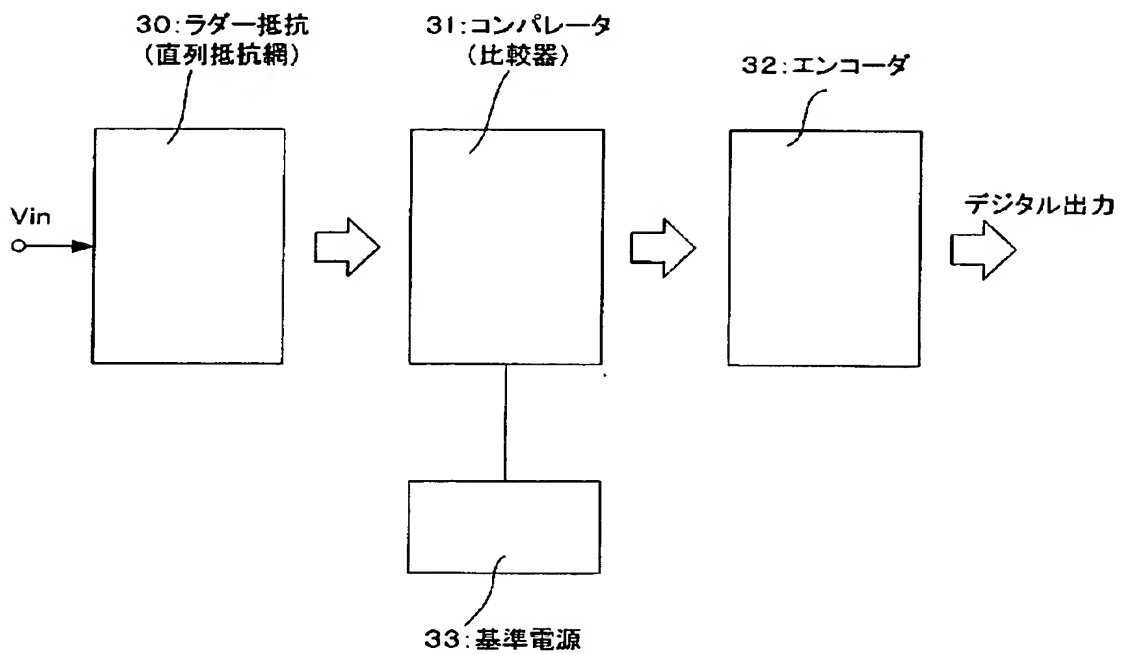
【図 12】



【図 13】



【図 14】





【書類名】 要約書

【要約】

【課題】 高速化・高機能化および素子数低減を図った集積回路を実現する。

【解決手段】 半導体基板上に微細真空管素子及び他の電子素子を集積化して形成し、前記微細真空管と電子素子間で信号の授受を行うように構成した。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 1 9 0 3
受付番号	5 0 3 0 0 4 7 7 9 1 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 6 日

## &lt; 認定情報・付加情報 &gt;

【提出日】	平成15年 3月25日
-------	-------------

次頁無

特願 2 0 0 3 - 0 8 1 9 0 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 5 0 7 ]

1. 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

東京都武蔵野市中町 2 丁目 9 番 3 2 号

氏 名

横河電機株式会社